



### Magistrala JTAG (metoda testowania / programowania)

- W 1985 roku powstaje organizacja pod nazwą Join Test Action Group stowarzyszająca około 200 producentów układów elektronicznych (JTAG)
- W 1990 roku rozwiązania wprowadzone do produkcji układów elektronicznych przez stowarzyszenie JTAG zostają uznane za międzynarodowy standard pod nazwą IEEE Std 1149.1

Czynniki w postaci wzrostu złożoności elementów, montażu powierzchniowego, nowych typów obudów z rosnącą gęstością wyprowadzeń spowodowały, że tradycyjne metody testowania funkcjonalnego oraz wewnątrzobwodowego stały się dalece niewystarczające i przyczyniły się do rozpoczęcia prac normalizacyjnych, których efektem jest między innymi szeregową magistrala diagnostyczna IEEE 1149.1, która zdobywa popularność pod nazwą JTAG.

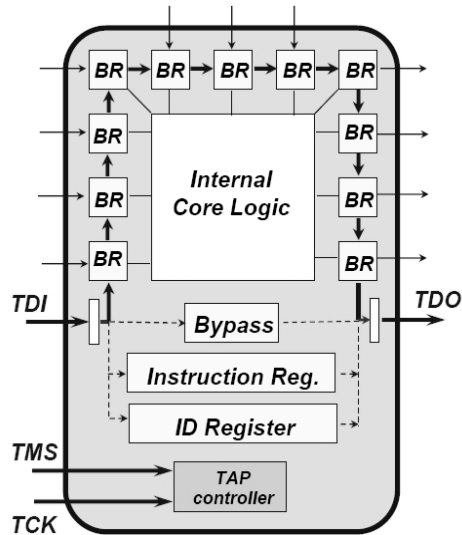


- TCK – Test Clock Input
  - Zegar jest niezależny od zegara systemowego
- TDI – Test Data In
  - Wejściowa linia danych magistrali JTAG
- TDO – Test Data Out
  - Wyjściowa linia danych magistrali JTAG
- TMS – Test Mode Select
  - Linia wyboru trybu pracy magistrali JTAG
- TRST – Test Reset Input (active low)
  - Asynchroniczna inicjalizacja kontrolera TAP

Magistrala ułatwionego testowania IEEE 1149.1 zawiera sygnał zegarowy TCK, który jest używany do sterowania operacji związanych z szeregowym wprowadzaniem i wyprowadzaniem danych oraz związanych z rodzajem pracy. Dane na magistrali IEEE 1149.1 są szeregowe, tzn. zanim zostaną użyte jako pobudzenie lub odpowiedź testowanego układu, są najpierw wprowadzane do ścieżki sterująco-obszaryjnej. W związku z tym dane te nie sterują na bieżąco (ang. real time) zaadresowanymi węzłami testowanego urządzenia, jak również nie są na bieżąco pobierane z zaadresowanych punktów obserwacyjnych.

Sygnał TMS, sterujący trybem pracy, może być także użyty do konfigurowania układów ułatwiających testowanie. Dane z wejścia TMS są wprowadzane na magistralę szeregowo, w odpowiedzi na narastające zbocze sygnału TCK.

Ostatnim i nie zawsze stosowanym jest sygnał TRST\*, który służy do zerowania układów sprzęgu ułatwiającego testowanie. Gwiazdka przy nazwie tego sygnału informuje, że sygnał ten jest aktywny w stanie niskim .

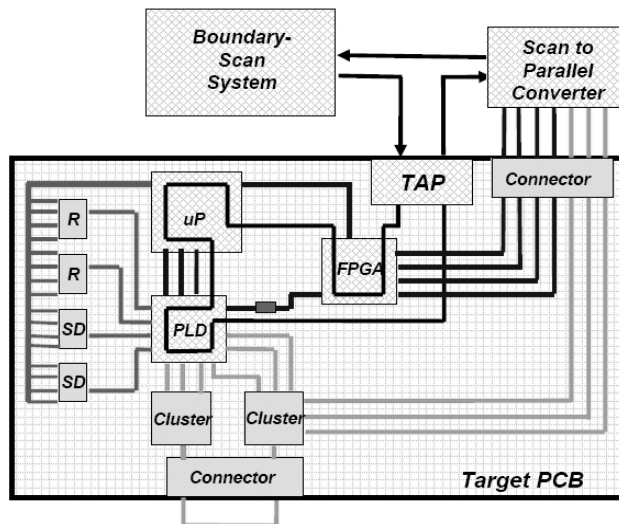


- Testowanie metodą ścieżki brzegowej
- Architektura układów

Wprowadzenie magistrali JTAG wymaga modyfikacji architektury układu, która zostaje wyposażona w dodatkowe układy jak rejestr ścieżki brzegowej, rejestr obejściowy, rejestr ID, rejestr instrukcji oraz dodatkowo sterownik TAP, zarządzający pracą magistrali.



## Laboratorium

Architektura JTAG  
Wprowadzenie

- Skanowanie struktury wewnętrznej
- Skanowanie połączeń zewnętrznych
- Skanowanie klasterów
- Skanowanie pamięci

Zygmunt Kubiak

Magistrala JTAG (4)

Szeregowa magistrala JTAG pozwala testy układów wyposażonych wewnątrz w taką magistralę (czarne linie).

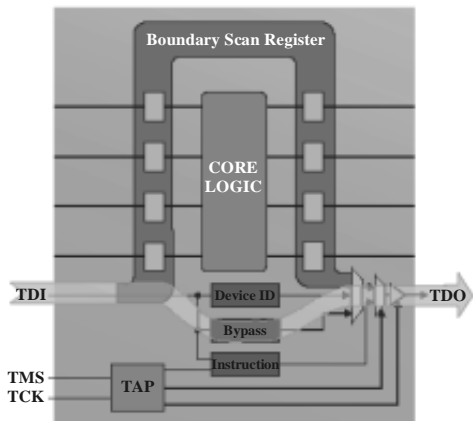
Możliwe jest przeskanowanie połączeń między tymi elementami (niebieskie linie).

Testowanie układów pozbawionych magistrali JTAG (zielone linie).

Testowanie innych elementów o specyficznym działaniu, np. pamięci (czerwone linie).

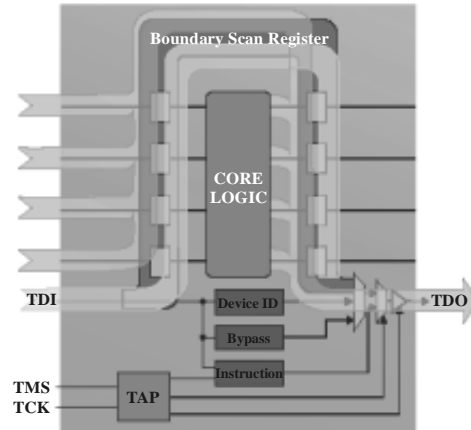


## Instrukcja BYPASS



Zygmunt Kubiak

## Instrukcja SAMPLE



Magistrala JTAG (5)

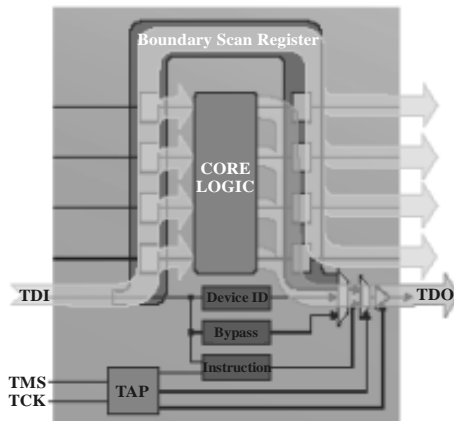
**Działanie podstawowych instrukcji**

**Instrukcja BYPASS** - włącza jednobitowy rejestr obejściowy zamiast rejestru brzegowego..

**Instrukcja SAMPLE** - próbkuje testowany układ na jego wyprowadzeniach. Stan sygnałów wejściowych i wyjściowych układu wpisuje do rejestru brzegowego.

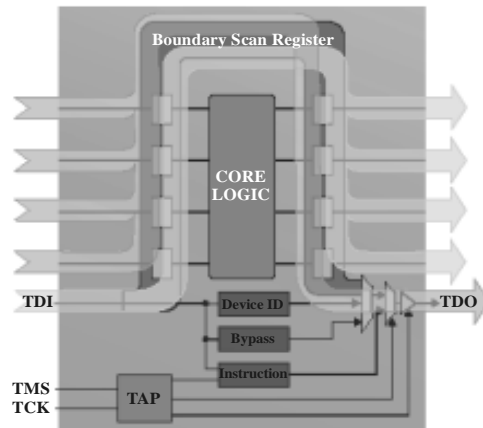


## Instrukcja INTEST



Zygmunt Kubiak

## Instrukcja EXTEST



Magistrala JTAG (6)

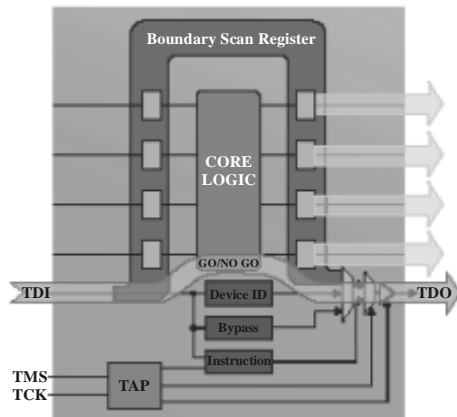
**Działanie podstawowych instrukcji**

**Instrukcja INTEST** – test samego elementu; element został wyizolowany z otoczenia; informacje wejściowe są zadawane z rejestru brzegowego a informacje wyjściowe są zapisywane do komórek rejestru brzegowego.

**Instrukcja EXTEST** – element jest wyizolowany z otoczenia, w tym jednak przypadku nie podlega testom; informacje wejściowe są wpisywane do rejestru brzegowego a z innych komórek rejestru brzegowego informacje wpisywane są na linie wyjściowe.

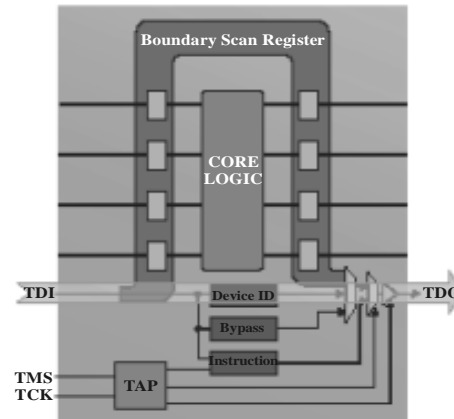


## Instrukcja RUNBIST



Zygmunt Kubiak

## Instrukcja IDCODE

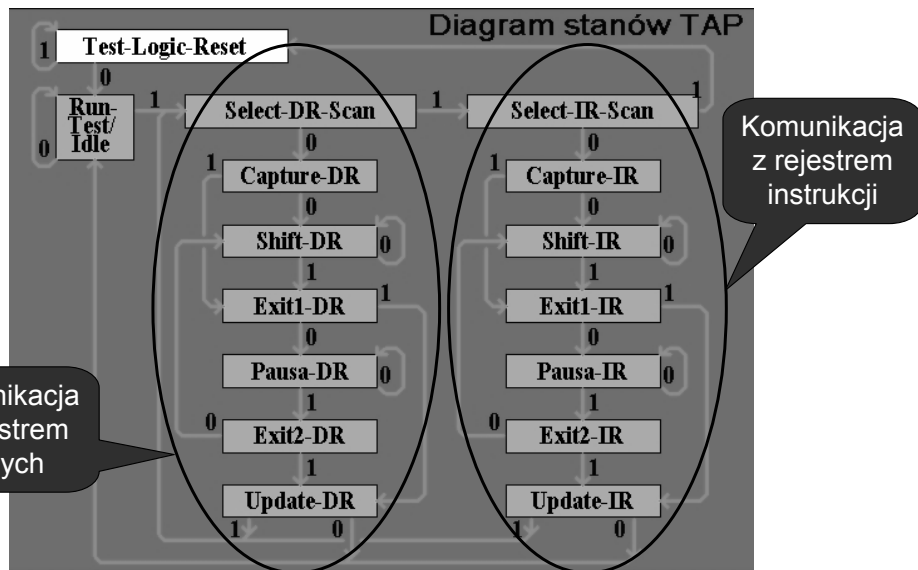


Magistrala JTAG (7)

**Działanie podstawowych instrukcji**

**Instrukcja RUNBIST** – powodującą wykonanie autotestu elementu; element jest wyizolowany z otoczenia.

**Instrukcja IDCODE** – przesłanie unikatowego 32-bitowego kodu elementu. Rejestr identyfikacji jest opcjonalny. Jego brak można określić badając pierwszy bit danych wysunięty z danego układu scalonego. Jeżeli bit ten przyjmuje wartość 1, to następne 31 bitów będzie zawartością rejestru identyfikacji, w przeciwnym razie w danym układzie scalonym nie zaimplementowano rejestru identyfikacji i instrukcja wybrała rejestr obejściowy.



Zygmunt Kubiak

Magistrala JTAG (8)

### Organizacja sterownika TAP

Cały proces szeregowego przesyłania informacji jest sterowany sygnałem **TMS** interpretowanym w sterowniku **TAP** (ang. *Test Access Port controller*). Jest on jednowęściowym układem synchronicznym o 16 stanach, w którym każda zmiana stanu następuje na narastającym zboczu **TCK**.

Sterownik TAP można wprowadzić w następujące stany:

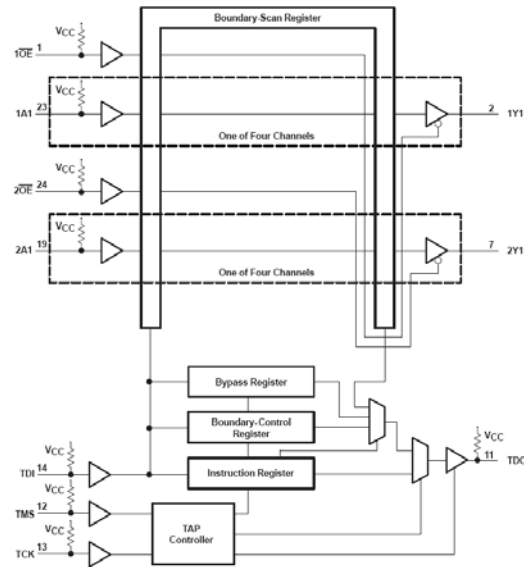
- **Test-Logic-Reset**, w którym testowanie jest wyłączone, a układ pierwotny spełnia swoje normalne funkcje użytkowe;
- **Run-Test/Idle**, w którym następuje wykonanie autotestowania (**Run-Test**) albo jest stanem spoczynkowym (**Idle**);
- **komunikacji z rejestrem danych**
  - zapamiętanie odpowiedzi na test (**Capture-DR**),
  - szeregowo przesłanie odpowiedzi do testera (stany **Shift-DR**) a jednocześnie wpisanie nowych pobudzeń,
  - uaktualnienie kopii rejestru – podanie nowych pobudzeń (**Update-DR**);
- **komunikacji z rejestrem instrukcji**
  - zapamiętanie statusu (**Capture-IR**),
  - szeregowo wysłanie statusu do testera (stany **Shift-IR**) a jednocześnie wpisanie nowej instrukcji,
  - uaktualnienie rejestru kopii – zmiana instrukcji (**Update-IR**);
- pomocnicze **Exit**,
- **Pause** umożliwiające czasowe wstrzymanie komunikacji szeregowej, np. w celu pobrania/wpisu danych z/do zewnętrznej pamięci masowej.





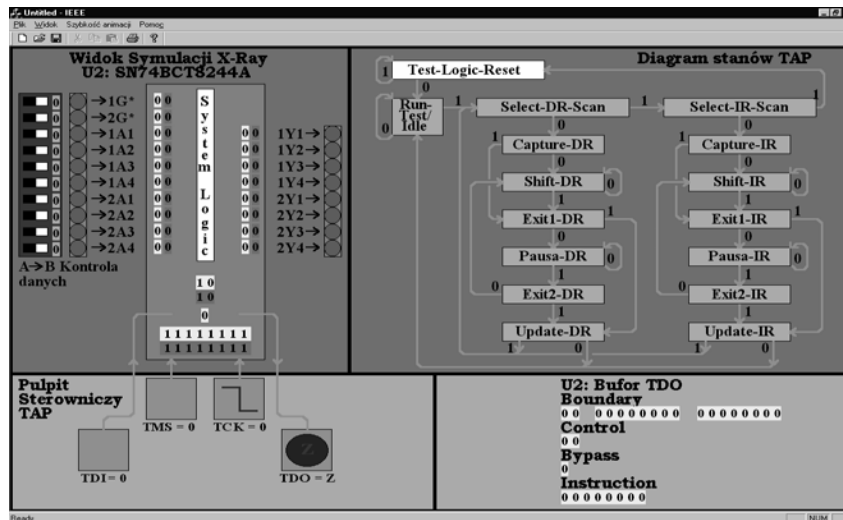
Laboratorium

Element testowany  
Wprowadzenie



SN74BCT8244A

Rysunek przedstawia element (SN74BCT8244A), który w dalszej części poddawany jest testom. Jest to typowy układ 8-miu buforów serii 244, dodatkowo wyposażony w obwody magistrali JTAG.



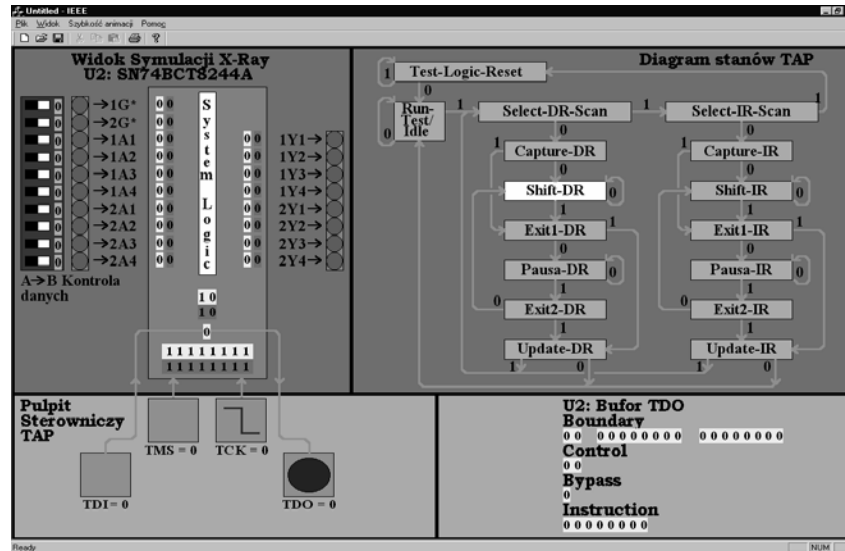
Zygmunt Kubiak

Magistrala JTAG (10)

Szczegółowo działanie systemu JTAG wyjaśnić może **Emulator JTAG**. Program ten pozwala na testowanie wirtualnego elementu SN74BCT8244A. Na slajdzie pokazano ekran startowy układu. Został on podzielony na cztery części: pulpit sterowniczy, pole badanego układu, diagram stanów sterownika TAP oraz stan wybranych rejestrów. Wszystkie akcje użytkownika są animowane na ekranie.

Na rysunku tym wszystkie przełączniki DIP ustawione są w pozycji 0, podobnie jak przełączniki TDI, TMS i TCK. Podświetlone pole stanu Test-Logic-Reset świadczy o tym, że symulacja przechodzenia przez poszczególne stany rozpocznie się właśnie od tego stanu.

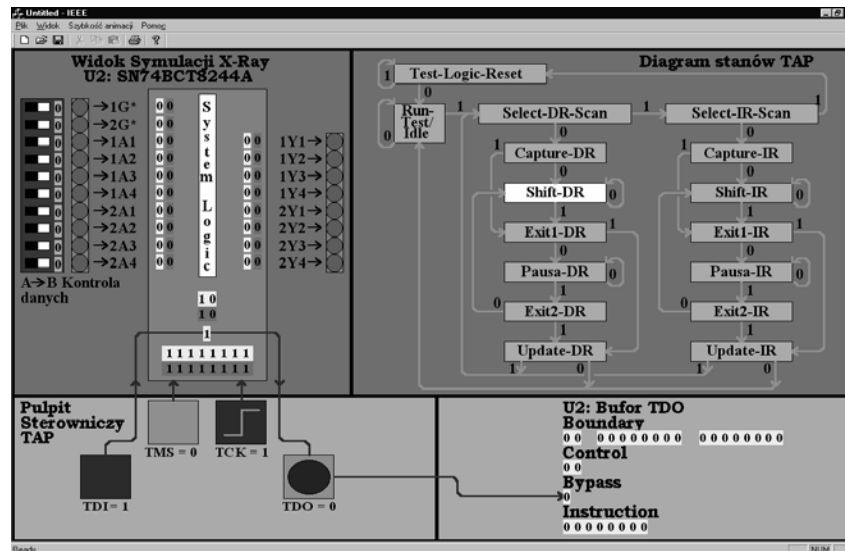
Zainicjujemy teraz przejście ze stanu Test-Logic-Reset do stanu Run-Test/Idle, a więc przycisk TMS pozostaje w stanie 0, co odczytać możemy z wartości określonej przy strzałce, natomiast przycisk TCK przełączamy w stan 1. Zauważymy, że pole stanu Test-Logic-Reset zmieniło kolor z białego na szary, następnie strzałka między tymi stanami zmieniła kolor na czerwony (co możemy zobaczyć w czasie działania programu), a po przejściu do stanu Run-Test/Idle kolor strzałki z powrotem zmienia się w zielony. Po przejściu do zadanego stanu kolor pola zmienia się z szarego na biały. W tym momencie stanem aktywnym jest stan Run-Test/Idle. Teraz przejście do następnego stanu rozpatrujemy względem stanu podświetlonego czyli obecnie jest to Run-Test/Idle. By teraz dokonać przejścia do stanu Select-DR-Scan należy postępować podobnie jak poprzednio z tą różnicą, że sygnał TMS musi być 1. Realizujemy to przez zaznaczenie kursorem myszki i klikamy lewym jej przyciskiem lub wykorzystujemy do tego klawiaturę wciskając klawisz „T”.



Zygmunt Kubiak

Magistrala JTAG (11)

Kolejny slajd pokazuje co dzieje się w elemencie SN74BCT8244A, gdy przejdziemy do stanu Shift-DR. Wejście TDI łączy się z wyjściem TDO przez rejestr obejściowy (BYPASS), a wskaźnik TDO zmienia swój pierwotny wizerunek. Takie ustawienie pozwala na pominięcie danego układu w łańcuchu układów powiązanych ścieżką brzegową.

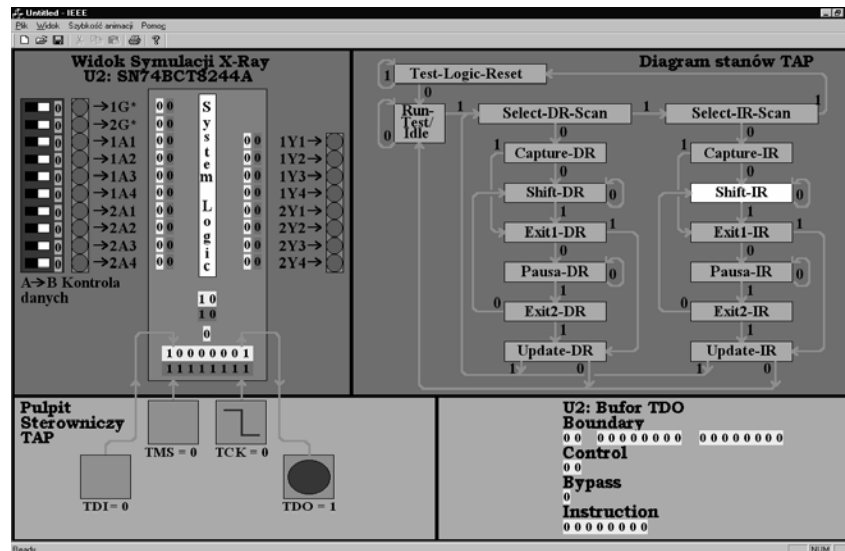


Zygmunt Kubiak

Magistrala JTAG (12)

Kolejna zmiana stanu zegara przy  $TDI = 1$  i  $TMS = 0$  spowoduje przejście przez rejestr obejściowy wprowadzając do niego wartość określoną przez TDI, a wartość z tego rejestru zapisana jest do bufora rejestru BYPASS. Stan ten przedstawia slajd. Pole stanu Shift-DR pozostaje nadal aktywne (o kolorze białym), sygnał przy  $TMS = 0$  kieruje się ponownie do tego stanu. Po przełączeniu w stan niski przełącznika TCK, wskaźnik TDO zmieni się symulując włączenie wskaźnika, a wartość umieszczona poniżej zmieni się na 1.

Dotychczas omówiona była komunikacja z rejestrem danych, do której powrócimy w dalszej części tego rozdziału. Obecnie będziemy dążyć do zrealizowania komunikacji z rejestrem instrukcji. W tym celu należy przejść przez pozostałe stany w rejestrze danych. Należy zwrócić szczególną uwagę gdy dojdziemy do stanu Update-DR, w którym to zerowany jest rejestr obejściowy. W tym momencie kierujemy się do stanu Select-IR-Scan poprzez odpowiednie ustawianie przełącznika TMS.

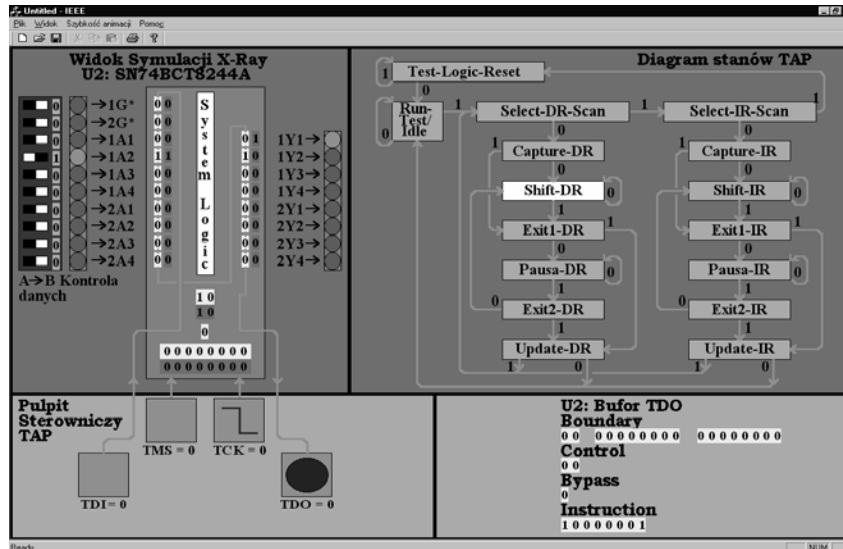


Zygmunt Kubiak

Magistrala JTAG (13)

Gdy dojdziemy do stanu Select-IR-Scan ustawiamy TMS = 0, w ten sposób wybraliśmy komunikację z rejestrem instrukcji. Po dojściu do stanu Shift-IR uzyskamy połączenie podobne jak w stanie Shift-DR, tylko w tym przypadku połączenie zrealizowane będzie przez rejestr instrukcji, do której zostaje wpisana sekwencja **10000001**. Przypadek ten został przedstawione na slajdzie. Widzimy też zmianę wskaźnika TDO, który wykrył 1-kę w rejestrze instrukcji.

Następną czynnością jaką zrealizujemy będzie wpisanie do rejestru instrukcji samych 0, co umożliwi przejście sygnału z TDI do TDO przez rejestr brzegowy. Po wypełnieniu rejestru instrukcji zerami przechodzimy ponownie do komunikacji z rejestrem danych, a dokładnie do stanu Shift-DR. Należy też zwrócić uwagę na stan **Update-IR**, w którym stan rejestru instrukcji zostaje zapamiętany w kopii (zatrząsku) rejestru instrukcji.



Zygmunt Kubiak

Magistrala JTAG (14)

Slajd ilustruje działanie rejestru brzegowego, który zostaje połączony z wejściem TDI i wyjściem TDO. Włączenie tego rejestru jest możliwe w momencie gdy w kopii rejestru instrukcji znajdują się same zera. Do rejestru brzegowego wpisać można dane szeregowo poprzez TDI lub równoległe z przełącznika DIP. Sygnał TDI wprowadzany jest za każdym razem, gdy aktywny jest stan Shift-DR i włączone jest narastające zbocze TCK. Z przełącznika DIP dane wprowadzane są do rejestru brzegowego w momencie wyjścia ze stanu **Capture-DR**. W tym momencie przepisywane są też dane z kopii wejściowego rejestru brzegowego do wyjściowego rejestru brzegowego. Przechodząc natomiast do stanu **Update-DR**, dane z rejestru brzegowego przepisywane są do kopii (zatrasku) rejestru brzegowego. Na slajdzie przedstawiono także działanie diod wejściowych i wyjściowych. Pokazują one zewnętrzne stany układu. Działanie diod wejściowych jest bardzo proste zapalają się, gdy włączymy odpowiadające im pozycje w przełączniku DIP. Diody wyjściowe działają w zależności od zawartości kopii rejestru instrukcji. Gdy kopia ta zawiera same 0 diody wyjściowe informują o stanie kopii wyjściowego rejestru brzegowego.

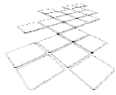


Table 2. Instruction-Register Opcodes

BINARY CODE† BIT 7 → BIT 0 MSB → LSB	SCOPE OPCODE	DESCRIPTION	SELECTED DATA REGISTER	MODE
X0000000	EXTEST/INTEST	Boundary scan	Boundary scan	Test
X0000001	BYPASS‡	Bypass scan	Bypass	Normal
X0000010	SAMPLE/PRELOAD	Sample boundary	Boundary scan	Normal
X0000011	INTEST/EXTEST	Boundary scan	Boundary scan	Test
X0000100	BYPASS‡	Bypass scan	Bypass	Normal
X0000101	BYPASS‡	Bypass scan	Bypass	Normal
X0000110	HIGHZ (TRIBYP)	Control boundary to high impedance	Bypass	Modified test
X0000111	CLAMP (SETBYP)	Control boundary to 1/0	Bypass	Test
X0001000	BYPASS‡			
X0001001	RUNT			
X0001010	READBN			
X0001011	READBT			
X0001100	CELLTST			
X0001101	TOPHIP			
X0001110	SCANCN			
X0001111	SCANCT			
All others	BYPASS			

Instrukcje IEEE 1149.1			
Instrukcja	MSB	LSB	Tryb
EXTEST	X000	0000	Testowanie
BYPASS	X111	1111	Praca normalna
SAMPLE/PRELOAD	X000	0010	Praca normalna
INTEST (opcjonalna)	X000	0011	Testowanie

† Bit 7 is a don't-care bit; X = don't care.

‡ The BYPASS instruction is executed in lieu of a SCOPE™ instruction that is not supported in the 'BCT8244A.

## W ramach ćwiczeń wykorzystywane będą wyłącznie instrukcje IEEE 1149.1

Rodzina elementów SCOPE (ang. System Controllability, Observability and Partitioning Environment), do których należy element 'BCT8244A oprócz instrukcji IEEE 1149.1 obsługuje dodatkową listę instrukcji pokazana w tabeli 2.



Table 4. Explanation of Timing Example

TCK CYCLE(S)	TAP STATE AFTER TCK	DESCRIPTION
1	Test-Logic-Reset	TMS is changed to a logic 0 value on the falling edge of TCK to begin advancing the TAP controller toward the desired state.
2	Run-Test/Idle	
3	Select-DR-Scan	
4	Select-IR-Scan	
5	Capture-IR	The IR captures the 8-bit binary value 10000001 on the rising edge of TCK as the TAP controller exits the Capture-IR state.
6	Shift-IR	TDO becomes active and TDI is made valid on the falling edge of TCK. The first bit is shifted into the TAP on the rising edge of TCK as the TAP controller advances to the next state.
7–13	Shift-IR	One bit is shifted into the IR on each TCK rising edge. With TDI held at a logic 1 value, the 8-bit binary value 11111111 is serially scanned into the IR. At the same time, the 8-bit binary value 10000001 is serially scanned out of the IR via TDO. In TCK cycle 13, TMS is changed to a logic 1 value to end the IR scan on the next TCK cycle. The last bit of the instruction is shifted as the TAP controller advances from Shift-IR to Exit1-IR.
14	Exit1-IR	TDO becomes inactive (goes to the high-impedance state) on the falling edge of TCK.
15	Update-IR	The IR is updated with the new instruction (BYPASS) on the falling edge of TCK.
16	Select-DR-Scan	
17	Capture-DR	The bypass register captures a logic 0 value on the rising edge of TCK as the TAP controller exits the Capture-DR state.
18	Shift-DR	TDO becomes active and TDI is made valid on the falling edge of TCK. The first bit is shifted into the TAP on the rising edge of TCK as the TAP controller advances to the next state.
19–20	Shift-DR	The binary value 101 is shifted in via TDI, while the binary value 010 is shifted out via TDO.
21	Exit1-DR	TDO becomes inactive (goes to the high-impedance state) on the falling edge of TCK.
22	Update-DR	In general, the selected data register is updated with the new data on the falling edge of TCK.
23	Select-DR-Scan	
24	Select-IR-Scan	
25	Test-Logic-Reset	Test operation completed

Zygmunt Kubiak

Magistrala JTAG (16)

Przykład





**Ćwiczenie 1**

1. W trybie pracy normalnej sprawdzić działanie układu SN74BCT8244A  
Korzystając z zadajników sygnałów wejściowych przygotować tablicę działania układu
2. Udokumentować przebieg ćwiczenia



Ćwiczenie 2

1. Na wejściach układu kombinację  
1G 2G 1A1 1A2 1A3 1A4 2A1 2A2 2A3 2A4  
0 0 1 1 0 0 1 0 1 0
2. Wprowadzić instrukcję EXTEST
3. Do rejestru brzegowego wprowadzić ciąg danych  
MSB                          LSB  
00 1001 0101 0011 0011
4. Powrócić do kroku Run-Test/Idle
5. Sprawdzić wpływ zmiany stanów wejść (przełączniki)
6. Udokumentować przebieg ćwiczenia



Ćwiczenie 3

1. Na wejściach układu kombinację  
1G 2G 1A1 1A2 1A3 1A4 2A1 2A2 2A3 2A4  
0 0 1 1 0 0 1 0 1 0
2. Wprowadzić instrukcję BYPASS
3. Na wejście TDI wprowadzać ciąg  
MSB LSB  
00 1001 0101 0011 0011
4. Sprawdzić wpływ zmiany stanów wejść (przełączniki)
5. Powrócić do kroku Run-Test/Idle
6. Sprawdzić wpływ zmiany stanów wejść (przełączniki)
7. Udokumentować przebieg ćwiczenia



**Ćwiczenie 4**

1. Korzystając z instrukcji SAMPLE/PRELOAD wyprowadzić szeregowo poprzez wyjście TDO aktualny stan wejść i wyjść układu
2. Udokumentować przebieg ćwiczenia



**Ćwiczenie 5**

1. Sprawdzić czy została zaimplementowana instrukcja INTEST
2. Udokumentować przebieg ćwiczenia