



Realizacja transkodera w układzie FPGA

Przemysław ZAKRZEWSKI

Realizacja transkodera w układzie FPGA (1)



Kod wejściowy

	A	B	C	D
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

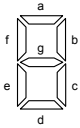
	A	B	C	D
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Realizacja transkodera w układzie FPGA (2)

Kodem wejściowym transkodera jest kod binarny prosty - sygnały od A do D odpowiadają bitom (odpowiednio od najstarszego do najmłodszego) zakodowanej liczby wejściowej z przedziału od 0 do 15.



Kod wyjściowy



	a	b	c	d	e	f	g
	1	1	1	1	1	1	0
	0	1	1	0	0	0	0
	1	1	0	1	1	0	1
	1	1	1	1	0	0	1
	0	1	1	0	0	1	1
	1	0	1	1	0	1	1
	1	0	1	1	1	1	1
	1	1	1	0	0	0	0

	a	b	c	d	e	f	g
	1	1	1	1	1	1	1
	1	1	1	1	0	1	1
	1	1	1	0	1	1	1
	0	0	1	1	1	1	1
	1	0	0	1	1	1	0
	0	1	1	1	1	0	1
	1	0	0	1	1	1	1
	1	0	0	0	1	1	1

Realizacja transkodera w układzie FPGA (3)

Kodem wyjściowym transkodera jest kod heksadecymalny prezentowany na wyświetlaczu siedmiosegmentowym - sygnały od a do g sterują segmentami wyświetlacza (i = 0 – i-ty segment wyłączony, i = 1 – i-ty segment włączony).



Tabela prawdy transkodera

we	A	B	C	D	a	b	c	d	e	f	g	wy
0	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	1	0	1	1	0	0	0	0	1
2	0	0	1	0	1	1	0	1	1	0	1	2
3	0	0	1	1	1	1	1	1	0	0	1	3
4	0	1	0	0	0	1	1	0	0	1	1	4
5	0	1	0	1	1	0	1	1	0	1	1	5
6	0	1	1	0	1	0	1	1	1	1	1	6
7	0	1	1	1	1	1	1	0	0	0	0	7
8	1	0	0	0	1	1	1	1	1	1	1	8
9	1	0	0	1	1	1	1	1	0	1	1	9
10	1	0	1	0	1	1	1	0	1	1	1	A
11	1	0	1	1	0	0	1	1	1	1	1	B
12	1	1	0	0	1	0	0	1	1	1	0	C
13	1	1	0	1	0	1	1	1	1	0	1	D
14	1	1	1	0	1	0	0	1	1	1	1	E
15	1	1	1	1	1	0	0	0	1	1	1	F

Realizacja transkodera w układzie FPGA (4)

Korzystając z tabeli prawdy transkodera należy zaprojektować układy kombinacyjne sterujące pracą poszczególnych segmentów wyświetlacza. Dla każdego układu sterującego należy dokonać minimalizacji funkcji, np. za pomocą tablic Karnaugh.



Układ sterujący segmentem „a”

AB \ CD	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	1	1	1	0
10	1	1	1	1

$$a = \overline{B}\overline{D} + A\overline{D} + \overline{A}C + BC + A\overline{B}\overline{C} + \overline{A}BD$$

Realizacja transkodera w układzie FPGA (5)

Dla każdego układu sterującego należy dokonać minimalizacji funkcji, np. za pomocą tablic Karnaugh'a. Przykładowo dla układu sterującego segmentem a tablica Karnaugh'a oraz minimalna postać koniunkcyjna funkcji są następujące.